

DIALOG(R) File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

04695114

ADAPTOR CARD AND METHOD OF SELECTIVE RECEIVING

PUB. NO.: 07 -015714 [JP 7015714 A]  
PUBLISHED: January 17, 1995 (19950117)  
INVENTOR(s): RATSUTEI BAAJINIO  
RIBA EMIRIO  
APPLICANT(s): INTERNATL BUSINESS MACH CORP <IBM> [000709] (A Non-Japanese  
Company or Corporation), US (United States of America)  
APPL. NO.: 03-263085 [JP 91263085]  
FILED: September 14, 1991 (19910914)  
PRIORITY: 90124488 [EP 90124488], EP (European Patent Office), December  
18, 1990 (19901218)  
INTL CLASS: [6] H04N-007/167; H04N-007/08; H04N-007/081  
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)  
JAPIO KEYWORD: R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);  
R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)

DIALOG(R)File 351:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

009081905      \*\*Image available\*\*

WPI Acc No: 1992-209321/199226

XRPX Acc No: N92-158744

**Selective data broadcasting receiver adaptor for personal computer - has  
microcontroller based adapter card that interfaces microchannel bus  
architecture to allow PC capture intermixed digital data on TV channel**

Patent Assignee: IBM SEMEA SRL (IBMC ); INT BUSINESS MACHINES CORP (IBMC  
); IBM CORP (IBMC )

Inventor: RATTI V; RIVA E

Number of Countries: 006 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 491068	A1	19920624	EP 90124488	A	19901218	199226 B
US 5245429	A	19930914	US 91808862	A	19911217	199338 N
JP 7015714	A	19950117	JP 91263085	A	19910914	199512

Priority Applications (No Type Date): EP 90124488 A 19901218

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 491068	A1	E		H04N-007/08	
-----------	----	---	--	-------------	--

Designated States (Regional): DE FR GB IT

US 5245429	A		6	H04N-007/08	
------------	---	--	---	-------------	--

JP 7015714	A		5	H04N-007/167	
------------	---	--	---	--------------	--

Title Terms: SELECT; DATA; BROADCAST; RECEIVE; ADAPT; PERSON; COMPUTER;  
BASED; CARD; INTERFACE; MICROCHANNEL; BUS; ARCHITECTURE; ALLOW; CAPTURE;  
INTERMIXING; DIGITAL; DATA; TELEVISION; CHANNEL

Derwent Class: T01; W03

International Patent Class (Main): H04N-007/08; H04N-007/167

International Patent Class (Additional): H04N-007/081

File Segment: EPI

DIALOG(R) File 341:CLAIMS(R)/UNITERM  
(c) 2001 IFI/CLAIMS(R). All rts. reserv.

2398558 3354802

**E/SELECTIVE DATA BROADCASTING RECEIVER ADAPTER APPARATUS AND METHOD FOR  
PERSONAL COMPUTERS**

Document Type: UTILITY

Inventors: Emilio Riva (IT); Virginio Ratti (IT)

Assignee: International Business Machines Corp Assignee Code: 42640

Preissuance Assignment Actions: Reel: 006023 Frame: 0853

	Patent Number	Issue Date	Applic Number	Applic Date
Patent:	<b>US 5245429</b>	19930914	US 91808862	19911217
	(Cited in 012 later patents)			
Priority Applic:			US 91808862	19911217

Calculated Expiration: 20111217

**Abstract:**

The present invention relates to a microcontroller based adapter card that interfaces a Micro Channel bus architecture to allow a personal computer implementing such hardware architecture to tune on a TV channel and capture digital data transmitted intermixed with an analog video signal used for diffusion of television programs. The receivers of such transmission system receive the incoming data stream, transmitted via "on air" or "cable" channels, through a TV cable of a broadcasting network or from the aerial antenna. Received serial data is decoded and stored into byte format for processing which is partially done by the on-board processor and then by the personal computer processor. This processing will result in storing data as records, messages and files formats into the personal computer mass storage devices. The on-board intelligence allows selectivity of transmitted data by checking the incoming addressing bytes (transmitted in the same data packet) against the card unique address or group membership parameter stored in non-volatile devices.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-15714

(43) 公開日 平成7年(1995)1月17日

(51) Int. Cl.<sup>6</sup>

H 0 4 N 7/167  
7/08  
7/081

識別記号

庁内整理番号

F I

技術表示箇所

7251-5C  
6942-5C

H 0 4 N 7/ 167  
7/ 08

Z

審査請求 有 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平3-263085

(22) 出願日 平成3年(1991)9月14日

(31) 優先権主張番号 9 0 1 2 4 4 8 8 . 9

(32) 優先日 1990年12月18日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ラツティ・バージニオ

イタリア国、ニピオンノ (CO) I-22060、ピア・ガツギオ 22/A 番地

(74) 代理人 弁理士 頼宮 孝一 (外2名)

最終頁に続く

(54) 【発明の名称】 アダプタカード及び選択的受信方法

(57) 【要約】 (修正有)

【目的】 マイクロコントローラ構成のアダプタカードを提供する。

【構成】 マイクロチャンネルバスアーキテクチャをインターフェイスしテレビジョンチャンネルに同調し、テレビジョン番組拡散用のアナログビデオ信号に混合されたデジタルデータを捕捉する。該伝送システムの受信機は、無線又は有線チャンネルを介し放送ネットワークのテレビジョンケーブル又は空中アンテナからの伝送データストリームを受信する。受信直列データはバイト形式にデコード、記憶し、当該データ処理はボード搭載処理装置及びパーソナルコンピュータ処理装置により部分的に実行される。この処理は記録、メッセージ及びファイルフォーマットとしてパーソナルコンピュータの大容量記憶装置内に記憶される。ボード搭載機能は偽造不能な装置に記憶されたカード固有アドレス又はグループの会員資格パラメータに対し入来したアドレスバイトを検査し伝送データの選択ができる。

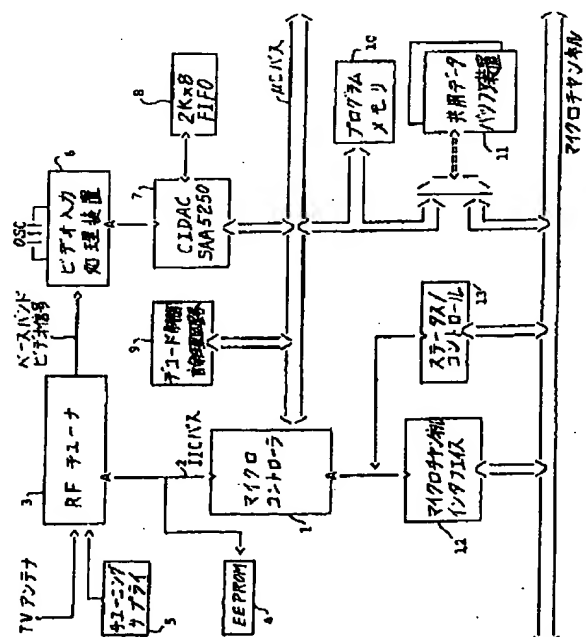


図1 実施例の实体構成

1

2

## 【特許請求の範囲】

【請求項1】与えられたプロトコルに従ってデジタルコードデータを伝送するテレビジョンチャンネルを用いた一方放送システムについて、放送装置によつて伝送されたデータを受信するパーソナルコンピュータのアダプタカードにおいて、

(a) テレビジョン信号を同調及び復調する装置と、  
(b) テレビジョン複合信号からデジタル的にエンコードにされたデータを分離する装置と、

(c) 上記受信されたデータを確認し、受信し及び記憶するプログラマブル装置と、

(d) 末端ユーザによつて偽造できないように情報を記憶するメモリと、

(e) 上記同調及び復調装置をコントロールし、上記メモリをプログラムし、及び上記受信データを処理する処理装置と、

(f) 受信データ並びに上記処理装置及びパーソナルコンピュータのホスト処理装置間の通信情報を記憶するデータバッファと

を具備すると共に、

上記プログラマブル装置は与えられた通信プロトコルに従つて伝送されたデータを識別及び受信するようにプログラムされたデコーダで構成され、

上記メモリは上記放送装置によつて偽造され得ると共に、固有情報を末端ユーザ又は当該末端ユーザを含む末端ユーザのグループに向う選択的伝送に関連して記憶し、

データバッファは処理装置及びパーソナルコンピュータ処理装置の同時動作を許することによりデータ受信スループットを増大することを特徴とするパーソナルコンピュータのアダプタカード。

【請求項2】テレビジョンチャンネルを用いた一方放送システムについて、放送装置によつて伝送されたデジタルコードデータを選択的に受信する受信方法において、

(a) 選択されたテレビジョンチャンネルを同調するステップと、

(b) 与えられた伝送プロトコルについてデコーダをプログラムするステップと、

(c) 与えられた伝送プロトコルに従つて選択的伝送に関連する固有パラメータを記憶及び更新をするステップと、

(d) 上記デコーダからの受信データを引き出すステップと、

(e) 末端ユーザによつて偽造できないメモリに記憶された選択的パラメータに対するアドレスデータを検査するステップと、

(f) エラー検出及び訂正をするステップと、

(g) 上層のソフトウェア層の動作についてデータバッファの最終データを記憶するステップと

を具備することを特徴とするデジタルコードデータの選択的受信方法。

【請求項3】さらに上記パーソナルコンピュータはマイクロチャンネルアーキテクチャを用いることを特徴とする請求項1及び請求項2に記載のアダプタカード。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はアダプタカード及び選択的受信方法に関し、特にパーソナルコンピュータの選択データ放送受信機アダプタについて、一方放送システムに基づいてデータ伝送をする分野において、システムの受信機能を実行するアダプタに関するものである。

## 【0002】

【従来の技術】この種のアダプタはマイクロコンピュータ構成のカード内に構成され、カードはマイクロチャンネルバスアーキテクチャにインタフェースすることにより、当該アーキテクチャを用いているパーソナルコンピュータがテレビジョンチャンネルに同調してアナログビデオ信号と共に伝送されるデジタルデータを捕捉できるようになされている。

【0003】實際上使用されるデータ伝送手段はテレビジョン番組を放送するために用いられる一方の放送システムである。当該放送システムの受信者は、「無線」又は「有線」チャンネルを介して放送網のテレビジョンケーブルを通じて又は空中アンテナから伝送されて来る入力データを受信する。

【0004】上述の「選択構成」は「一方放送又は多重伝送を用いた選択データ分配方法」という名称で同じ出願人によつて出願されたヨーロッパ特許出願に開示されている。米国特許第4,829,569号は個別のデコーダが個別にアドレスが付されたメツセージを受信し得るような予約テレビジョンシステムを開示している。

## 【0005】

【発明が解決しようとする課題】ところが、これらの開示されたシステムは、データを選択的に送信するための編成方法及び当該データを選択的に受信する方法を教示していない。従来技術によれば、予約テレビジョンシステムの個別のデコーダは料金情報及び個別のメツセージのいずれを伝送するためにもアドレスされ得、このことは単一の受信者を指定する伝送と放送伝送とを区別することだけを示唆している。同じ構成は、特定の目的の装置を有するデコーダに入れ換えた非予約テレビジョンに適用され得る。従つて本発明の目的は、従来技術の上述の欠点を解決するものである。

## 【0006】

【課題を解決するための手段】かかる課題を解決するため本発明によれば、受信された直列データはデコードされて処理するためにバイトフォーマットで記憶され、処理はボード搭載処理装置及び続いてホストコンピュータによつて部分的に実行される。この処理の結果は、記録

データ、メッセージ及びファイル形式でパーソナルコンピュータの多数の記憶装置内に蓄積される。データは複数の可変長のメッセージからなり、1つ又は複数の情報供給者から1つ又は複数の末端ユーザに放送又は多重伝送システムを介して伝えられる。

#### 【0007】

【作用】ボード搭載知能は、偽造できない記憶装置に記憶されたカード固有のアドレス又はグループ会員資格パラメータに対して、入来アドレスバイト（同じデータパケットによつて伝送された）を検査することによつて伝送されたデータを選択することができる。この過程は与えられた伝送プロトコルにおいて実行される一般的な「選択構成」と呼ばれ、このプロトコルは、情報供給者に、各末端ユーザをアドレスし、又は同じデータを同じように受信するこれら末端ユーザを小数グループにグループ分けする能力を与えるようになされている。

【0008】アドレス選択能力は、末端ユーザのグループ会員資格を明示的に変更すると共に、アダプタの受信能力を明示的にイネブル/デスイネブルするような制御パケットを伝えることによつて、遠隔の情報供給者によつてダイナミックに変更できる。

#### 【0009】

【実施例】以下図面について本発明の一実施例を詳述する。

#### 【0010】(1) ハードウェアの構成

アダプタハードウェアは、パーソナルコンピュータのマイクロチャンネルバスアーキテクチャにインタフェイスされるように特に配慮されていると共に、プログラマブルオプション選択レジスタ、アドレス及び割込みシステム、カード使用メカニズムのようなすべての関連する論理手段（すべてのマイクロチャンネルバスアーキテクチャの特性）を実行する「8ビット従属アダプタ」のサブカテゴリに整合する。他方、アプリケーションに基づくテレテキストについて設定されたハードウェアセットは、デジタルデータが合成されたRFビデオ信号を運ぶ同軸ケーブルに直接結合できるようになされている。標準としてこのケーブルはテレビジョンアンテナ又はケーブルテレビジョンネットワークから来ている。RFチューナ、IF復調器、テレテキストビデオ処理装置、及びデータデコーダC. I. D. A. C. (フィリップス社製)を含む1組の装置を、以下の説明において「フロントエンドハードウェア」と呼ぶ。必要なメモリ量が、アダプタコード記憶目的（プログラムメモリ）、受信処理データバイト（データバッファ）並びにユーザの選択及びデータ保護のための不揮発性データ（EEPROM）をもつボード上に用意される。

【0011】図1は主な機能ブロックを説明したもので、83C654単一チップ8ビットマイクロコントローラ1は、フィリップス社によつて販売され、8051マイクロコントローラ系から派生したCMOSである。

その原型である8051コアCPUと比較して、改善した特徴的要素を有し、64kバイトまで大きく拡張できる16k×8個のROMと、64kバイトまで大きく拡張できる256×8個のRAM、2つの16ビットタイマ/コントローラと、埋込型11Cバスコントローラとを有する。

【0012】IICバス2は2つのIICバス互換型装置をもっているため、このアプリケーションに対して特に好適である。3はRFチューナPLL、4はEEPROMである。マイクロプロセッサは16〔MHz〕水晶発振器に同期しており、750〔nsec〕内に58%の命令を実行させ、また1500〔nsec〕内に42%の命令を実行させ得る。「フロントエンドハードウェア」は次のように構成されている。

【0013】すなわちRFチューナ3はPLL周波数シンセサイザを有し、このシンセサイザはベースバンドビデオ信号を得るテレビジョン信号に同調及び復調する機能を実行する。チューニングサブライ5は同調電圧を供給する。ビデオ入力処理装置（SAA5231）6（フィリップス社製）は、アナログ合成ビデオ信号と、ビットの連続及び同期からデジタルデータを抽出する。この装置は受信ビットの2倍の周波数である13,875〔MHz〕の外部水晶発振器によつて駆動される自走発振器を有する。

【0014】C. I. D. A. Cデコーダ（SAA5250）7は、所望の論理チャンネルに属するビットストリームを識別しかつ記憶する機能を有する。このデコーダ7は通信プロトコル基準の種々の形式に対して83C654処理装置1によつてプログラムされ得る。C. I. D. A. Cデコーダ7は局部2k×8FIFOメモリ8中に受信したデータバイトを記憶する。

【0015】C. I. D. A. Cデコーダ7は受信されかつデコードされたバイトに対してC. I. D. A. Cデコーダ専用の2k×8FIFOメモリ8を有する。このメモリ8はFIFO列としてC. I. D. A. Cデコーダによつて処理され、これにより処理装置1が同じ受信順序でデータを復元できるようになされている。処理装置1はFIFOメモリ8に対するアクセスをもつておらず、その代わりに処理装置1はC. I. D. A. Cデコーダ7に含まれる「FIFOデータ」レジスタから利用できるバイトを読み取る。また処理装置1は「FIFOステータス」レジスタC. I. D. A. Cを読み取ることによつてFIFO状態（空状態、データ利用状態、満杯状態）を検査する。

【0016】デコード制御論理回路9は転送及び他のハードウェア機能をアドレス及び制御するデコード機能を有する。ボード搭載メモリ資源は、全コード領域が48kバイトに及ぶ処理装置1のプログラム空間を拡張するための32k×8RAMプログラムメモリ10と、ボード搭載処理装置1及びパーソナルコンピュータのホスト処理装置間の中間のパケット及び通信情報を記憶するための

2系列の16k×8RAM共用データバツファ回路11とを含む。RAMプログラムメモリ10はアルゴリズムを更新及び保持するためにダウンロードするコードに柔軟性を与え、これに対して共用データバツファ回路11は2つの処理回路が互いに中断させることなく同時に動作することができるようにすると共に、受信データのスループットをできるだけ高く保持するためにバツファ回路の大きさを大きくする。

【0017】2k×8EEPROM4は個有のhw-1D、グループ会員資格1Dパラメータのような永久情報を記憶するようになされている。上述のバイトはボード上にあることにより選択できる部分が基礎としている重大なデータについて保持を十分なレベルで実現するようになされている。ボード搭載処理装置1だけがIICバス2を介して当該データに対してアクセスできる。

【0018】ホストマイクロチャンネルバスをインタフェースするほとんどの論理は82C611チップでなるマイクロチャンネルインタフェース12(チップアンドテクノロジー社製)内に存在し、マイクロチャンネルインタフェース12はマイクロチャンネル構造として典型的な次のような機能を提供する。すなわち、当該機能はI/O及びメモリ従属アダプタ制御論理機能と、プログラマブルオプション選択(POS)支援機能とを有し、POS機能はアダプタID機能、フレキシブルI/O及びメモリ移動機能、並びにPOSポートのデコード及び整合機能、コマンド及びステータスのデコード機能、応答信号の発生機能、及びバス全体のタイミング仕様の互換機能を有する。

【0019】ステータス/コントロールレジスタ13は、ホスト処理回路によってアクセスされる2つの資源により構成され、ステータスを検査すると共に、アダプタハードウェアの特徴的な構成上の遷移を制御するようになされている。本発明による受信機ボードは、POSレジスタ及びアダプタ説明ファイル部を介してメモリ位置を移動できるパーソナルコンピュータメモリ空間において、メモリ資源及びステータス/コントロールレジスタ13をマッピングするような方法を用いて、従属形式のアダプタ動作を実行する。これはユーザアプリケーションプログラムによって用いられるキー手法で、コマンドを送信すると共に受信データを引き出すことによりボード搭載ハードウェア資源を活用する。

#### 【0020】(2) 動作の概要

アダプタの動作はボード搭載処理装置1の制御の下に全体として実行され、オンボード処理装置1は伝送プロトコルの「アプリケーションインタフェース層」を介してユーザからコマンドを受信すると共に、当該コマンドを実行することにより所望のテレビジョンチャンネルを受信し、捕捉したデータをデコードし、エラー保護/訂正バイトを処理する。その後処理されたデータはさらに上層のソフトウェア層に通過されることによつて最終処理

をする。

【0021】IPL及びパワオンテスト機能は処理回路1のマスクROM内にあるコードによつて処理される。到達範囲及び分離失敗の高度なテストは処理回路のアクセスによつてほとんどすべての実用的な装置について行われる。診断テストの終了時、機能的なコードがホストコンピュータ処理回路の制御の下にプログラムRAMに対してダウンロードされ、アダプタがデータを受信する準備状態に入る。当該ホスト装置駆動コードは要求パラメータをアダプタコードに通過し、アダプタコードはRFチューナ3及びC、I、D、A、Cデコーダ7のプログラムを開始して所望のテレビジョンチャンネル及び論理プロトコルリンクからデータを得る。続いてデータストリーム(パケット)は処理回路1によつてデコーダ1F08から引き出されてエラー処理ルーチンに入つて「ハミング保護」及び「CRC保護」が検査される。

【0022】この処理は「データリンク」アルゴリズムを実行する。ここで、受信バイトの真の機能的な処理が開始してプロトコル「ネットワーク層」のアルゴリズムが開始する。このアルゴリズムはコード個有のID及びEEPROMメモリ4内に偽造できない方法で記憶されているグループ会員資格パラメータに基づいてなされる。このタスクは全体としてアダプタプログラムRAM又はコンピュータホスト処理回路システムメモリに存在するマイクロコードによつて実行される。続いてどのような場合でも、受信パケットはソフトウェアの上層レベルに通過されて最後にデータをユーザアプリケーションに提供する。ハードウェアレベルの同期は両方向、すなわちホストからアダプタへの方向及びアダプタからホストへの方向について、割込みメカニズムと、ステータス/コントロールレジスタ13とによつて得られる。ハードウェア資源に加えて、2つの処理回路によつてアクセスされる共用データバツファ回路11によつてコードレベルの情報交換を用いることができる。「通信エリア」と呼ばれるメモリ資源に基づいて、処理回路動作最適化及び同期化についての整合動作を実行できる。

#### 【0023】

【発明の効果】上述のように本発明によれば、テレビジョン複合信号に合成された情報データを用いてアダプタカードの受信動作を制御するにつき、情報データによつて与えられた伝送プロトコルを識別して選択伝送に関連する固定パラメータを形成することによつて選択的受信動作をするようにしたことにより、放送されたデータに対するアダプタカードの整合性を一段と高めることができる。

#### 【図面の簡単な説明】

【図1】図1は本発明によるアダプタカードの一実施例を示すブロック図である。

#### 【符号の説明】

1……マイクロコントローラ、3……RFチューナ、4

7  
.....EEPROM、5.....チューニングサプライ、6.....ビデオ入力処理装置、7.....デコーダ、8.....メモリ、9.....デコード制御論理回路、10.....プログラム

8  
メモリ、11.....共用データバッファ、12.....マイクロチャンネルインタフェイス、13.....ステータス/コントロールインタフェイス。

【図1】

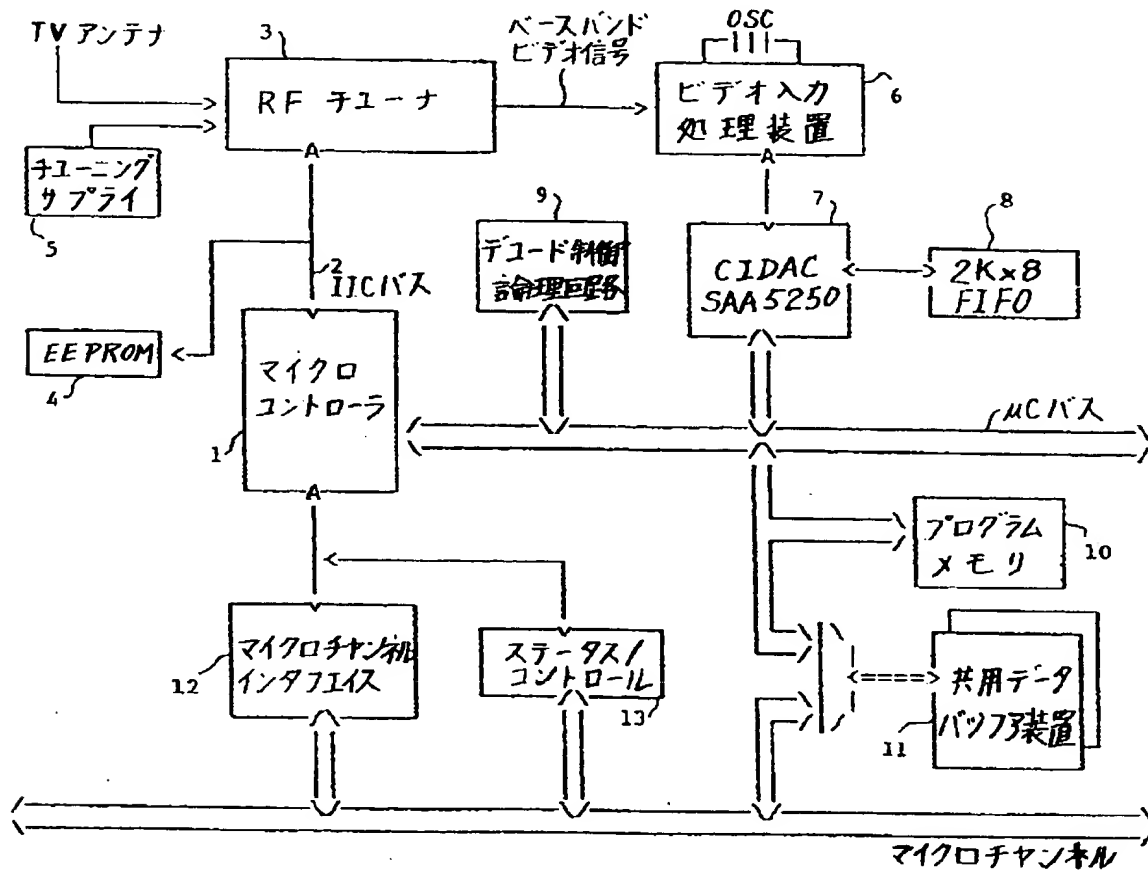


図1 実施例の実体構成

フロントページの続き

(72)発明者 リバ・エミリオ  
イタリア国、イーバ(CO) I-22036、  
ピア・4・ノーベンブル 15番地